

PATENT ABSTRACTS OF JAPAN

(43)Date of publication of application : **15.05.1998**

H04N 1/387

(72)Inventor : WAGURI SHINICHI

32-bit floating-point adder block diagram. The diagram shows two 32-bit inputs, A and B, being processed by a 32-bit adder. The adder's output is then passed through a 32-bit multiplier and a 32-bit divider. The final result is a 32-bit floating-point number. The diagram is labeled with various components and their connections.

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-124036

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁶
G 0 9 G 5/36
5/00
H 0 4 N 1/387

識別記号
5 2 0
5 1 0

F I
G 0 9 G 5/36
5/00
H 0 4 N 1/387
5 2 0 K
5 1 0 T

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平8-274389

(22) 出願日 平成8年(1996)10月17日

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72) 発明者 和栗 真一

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

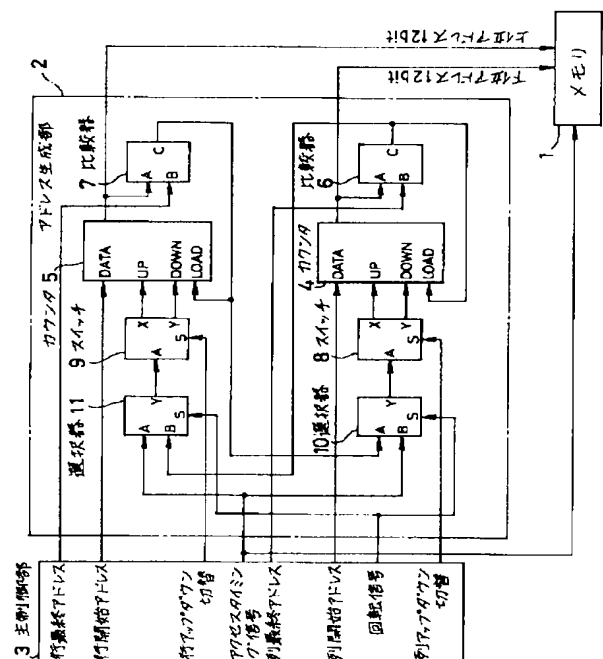
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 画像回転制御回路

(57) 【要約】

【課題】 画像データの回転制御を、縦と横との画素数が異なる場合でも、簡単な回路で実現する。

【解決手段】 列アドレス、行アドレスの各カウンタ 4, 5 をアップダウンカウンタとし、比較器 6, 7 において予め設定された最終列、行アドレスの各々とカウンタ 4, 5 の内容とを比較し、一致した時、一致信号を出す。この時、カウンタ 4, 5 のいずれをクロックに同期して連続カウントするかを選択器 10, 11 で決定し、連続カウントしない方のカウンタを他方の連続カウントするカウンタの比較一致信号でカウント制御する。また、アップダウン制御をスイッチ 8, 9 で夫々選択する。カウンタ 4, 5 のアップ/ダウン、連続カウントするかどうかを主制御部 3 にて指示することで、画像の回転が自在となる。



【特許請求の範囲】

【請求項 1】 画像データを格納するメモリに対する読出しアドレスの生成を制御して読出し画像データの回転制御を行うようにした画像回転制御回路であって、初期値がロードされてアップ及びダウンカウンタ自在な列及び行アドレスカウンタ手段と、前記列及び行アドレスカウンタ手段の各カウンタ値と予め設定された最終アドレス値とを夫々比較して一致した時に一致信号を生成する列及び行アドレス比較手段と、回転指示信号に応じてカウンタタイミング信号及び前記行アドレス比較手段の一致信号を択一的に導出する第 1 の選択手段と、回転指示信号に応じて前記カウンタタイミング信号及び前記列アドレス比較手段の一致信号を択一的に導出する第 2 の選択手段と、前記第 1 の選択手段の出力をアップダウン指示信号に応じて前記列アドレスカウンタ手段のアップ及びダウン指示端子へ択一的に供給する第 1 の切替え手段と、前記第 2 の選択手段の出力をアップダウン指示信号に応じて前記行アドレスカウンタ手段のアップ及びダウン指示端子へ択一的に供給する第 2 の切替え手段とを含み、前記列及び行アドレスカウンタ手段のカウンタ値を前記メモリのアクセスアドレスとすることを特徴とする画像回転制御回路。

【請求項 2】 前記列及び行アドレスカウンタ手段のカウンタ値を、夫々前記アクセスアドレスの下位及び上位アドレスとすることを特徴とする請求項 1 記載の画像回転制御回路。

【請求項 3】 前記第 1 の選択手段が前記カウンタタイミング信号を導出しているとき、前記第 2 の選択手段が前記列アドレス比較手段の一致信号を導出するよう制御し、また前記第 1 の選択手段が前記行アドレス比較手段の一致信号を導出しているとき、前記第 2 の選択手段が前記カウンタタイミング信号を導出するよう制御することを特徴とする請求項 1 または 2 記載の画像回転制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は画像回転制御回路に関し、特にファクシミリ装置における画像データを加工処理して例えば 90 度や 270 度等に回転するようにした画像回転制御回路に関するものである。

【0002】

【従来の技術】一般に、ファクシミリ装置等の画像データを扱う装置においては、画像データの画素毎に電気信号の 1 ビットあるいは複数ビットに対応させて、RAM 等のメモリに一旦記憶させ、しかる後にこのメモリから画像データを読み出して画像データの処理を行う様になっている。

【0003】通常、この種のメモリは、ある画像データが書込まれて、次にそれをそのまま次段回路へ引渡す様に制御されるものであり、一種のデンプラリバッファと

して用いられる。

【0004】しかしながら、近年の普通紙を用いたファクシミリ装置においては、A4 サイズの縦の画像を A4 サイズの横のカット紙に記録してカセット段数を減らして、単位時間当りの記録枚数を増やすニーズが増加してきている。これにより、ファクシミリ装置に使用される画像記録制御装置において、画像データの 90 度回転の要求が生じている。

【0005】特開平 6 - 295335 号公報には、画像イメージを画像メモリに保持する画像データ記憶装置において、画像メモリのアドレスバスにアドレス変換回路を付加することにより、画像の描画ソフトウェアの変更なしに、上下に反転した画像や 90 度回転した画像を得る技術が提案されている。

【0006】この技術においては、画像メモリ上の画像データへのアクセスアドレスを、アドレス変換回路により、画像イメージの画素の行、列に対応するアドレスに分け、これ等アドレスの各々について演算や、行アドレスと列アドレスとの変換等の処理を組合わせることにより、上下反転や 90 度回転の各画像を得る様にしたものである。

【0007】

【発明が解決しようとする課題】上述した従来の技術においては、アドレスに施す演算処理として、インバータを用いて回転後のアドレスの演算を行っており、これにより、

(行方向のドット数) - (行アドレス)

あるいは、

(列方向のドット数) - (列アドレス)

なる演算を行っている。

【0008】これは、列アドレスと行アドレスの最大値が基本的に同じでかつ、その最大値が常に一定で変化しない場合を想定しているため、縦と横のドット数が異なる画像データの場合や、行及び列のドット数が変化するファクシミリ画像の場合、回転後のデータを読み出す場合、ある行の最終データのアドレスと次の行の先頭データのアドレスとが、連続のアドレスにならないという問題点がある。

【0009】本発明の目的は、簡単な回路を用いるのみで簡易的に 90 度等の回転を実現可能とした画像回転制御回路を提供することである。

【0010】

【課題を解決するための手段】本発明によれば、画像データを格納するメモリに対する読出しアドレスの生成を制御して読出し画像データの回転制御を行うようにした画像回転制御回路であって、初期値がロードされてアップ及びダウンカウンタ自在な列及び行アドレスカウンタ手段と、前記列及び行アドレスカウンタ手段の各カウンタ値と予め設定された最終アドレス値とを夫々比較して一致した時に一致信号を生成する列及び行アドレス比較

手段と、回転指示信号に応じてカウントタイミング信号及び前記行アドレス比較手段の一致信号を択一的に導出する第1の選択手段と、回転指示信号に応じて前記カウントタイミング信号及び前記列アドレス比較手段の一致信号を択一的に導出する第2の選択手段と、前記第1の選択手段の出力をアップダウン指示信号に応じて前記列アドレスカウンタ手段のアップ及びダウン指示端子へ択一的に供給する第1の切替え手段と、前記第2の選択手段の出力をアップダウン指示信号に応じて前記行アドレスカウンタ手段のアップ及びダウン指示端子へ択一的に供給する第2の切替え手段とを含み、前記列及び行アドレスカウンタ手段のカウント値を前記メモリのアクセスアドレスとすることを特徴とする画像回転制御回路が得られる。

【0011】そして、前記列及び行アドレスカウンタ手段のカウント値を、夫々前記アクセスアドレスの下位及び上位アドレスとすることを特徴としており、また、前記第1の選択手段が前記カウントタイミング信号を導出しているとき、前記第2の選択手段が前記列アドレス比較手段の一致信号を導出するよう制御し、また前記第1の選択手段が前記行アドレス比較手段の一致信号を導出しているとき、前記第2の選択手段が前記カウントタイミング信号を導出するよう制御することを特徴としている。

【0012】本発明の作用を述べると、行及び列アドレスを生成するためのアップダウンカウンタを設け、これ等各カウンタのアップ/ダウンのカウント切換えを画像回転に応じて制御することで、行アドレスと列アドレスとを夫々任意にカウント可能として、画像の回転を容易としている。

【0013】

【発明の実施の形態】以下に図面を参照しつつ本発明の実施例について説明する。

【0014】図1は本発明の実施例を示す回路ブロック図である。図1において、1は画像データを格納するメモリであり、2はこのメモリ1のアクセスアドレスを生成するアドレス生成部であり、3はこのアドレス生成部2のアドレス生成状態を制御する主制御部である。

【0015】アドレス生成部2について説明する。カウンタ4は画像データをメモリ1へ書込み/読出しする場合の列アドレスを生成するアップダウンカウンタであり、メモリ1のメモリ空間の下位アドレスとして12ビット（FFFh番地まで）ある。

【0016】また、カウンタ5はメモリ1の行アドレスを生成するアップダウンカウンタであり、メモリ空間の上位アドレスとして12ビット（FFFh番地まで）ある。

【0017】両カウンタ4、5は初期値として開始アドレスを設定できるものであり、DATA端子に供給された当該開始アドレスがLOAD端子へのロード信号に依

答して初期値としてロードされる。また、UP/DOWNの端子にタイミング信号（クロック信号）が印加された時、そのカウント値をアップ/ダウンカウントする。

【0018】比較器6、7はカウンタ4、5の各カウント値（A）と予め設定された最終アドレス値（B）とを夫々比較して両者（A、B）が一致した時に、一致信号（C）を出力する。比較器6の比較出力はカウンタ4のロード入力（LOAD）となると共に、選択器11の1入力（B）となっている。また、比較器7の比較出力はカウンタ5のロード入力（LOAD）となると共に、選択器10の1入力（A）となっている。

【0019】選択器10、11は回転指示をなす回転信号（S）に応じて2入力A、Bを択一的に夫々導出（Y）するものである。選択器10、11の各他入力B、Aには、アクセスタイミング信号（カウントタイミング信号であり、クロック信号である）が夫々印加されている。

【0020】選択器10、11の各選択出力Yはスイッチ8、9のA入力となっている。このスイッチ8、9は列アップ/ダウン、行アップ/ダウンの各切替え信号（S）に応じてA入力を2つの出力X、Yのいずれかに導出するものであり、これ等各スイッチ8、9の出力X、Yがカウンタ4、5の各UP/DOWNの端子へ夫々入力されている。

【0021】行及び列最終アドレス、行及び列開始アドレス、行及び列アップダウン切替え信号、アクセスタイミング信号、回転信号は、主制御部3から生成されるものとする。

【0022】以上の構成において、スイッチ8、9は主制御部3からのアップ/ダウンカウント切替指示に従ってカウンタ4、5のアップ/ダウンカウントを制御するものであり、また、選択器10、11は主制御部3からの回転指示信号に従って、メモリ1の上位アドレスと下位アドレスとのどちらかを連続的に（クロックに同期して）読出すかを選択するものである。

【0023】具体的には、90度、270度の回転の時には、上位アドレスのカウンタであるカウンタ5を連続カウントせしめ、0度、180度の回転の時には、下位アドレスのカウンタであるカウンタ4を連続カウントする様に制御されることになる。

【0024】次に、動作について説明する。まず、メモリ1にデータを書込む場合について説明する。ファクシミリの場合の画像入力方式は、画像データは列方向に連続して入力され、1画素ライン分格納したら行方向に1画素ライン移すというラスタスキャン形式をとっている。

【0025】主制御部3は、アドレス生成部2のカウンタ4とカウンタ5とに開始アドレスとして「000」を書込み、スイッチ8、9にアップダウン切替え信号を、選択器10、11に回転信号（回転せず）を夫々送出す

10

20

30

40

50

る。

【0026】アップダウン切替え信号は、カウンタ4とカウンタ5に対してアップクロック入力にクロック入力するか、ダウクロック入力にクロック入力するかの制御を行う様になっており、この場合はカウンタ4、5共にアップカウンタの選択を行っている。

【0027】主制御部3は、画像データ書込み時、メモリ1に対して書込みタイミング信号と1画素分のデータ（1ワード）を出す。カウンタ4とカウンタ5の出力は、この段階では「0」であるのでメモリ1の行アドレスと列アドレスのいずれも「0」になっている。これにより、アドレスの0番地に1画素分データ（1ワードデータ）が書込まれる。

【0028】一方、書込みタイミング信号は、アドレス生成部2のカウンタ4にも入力されており、カウント用のクロックとして使用される。これは、先の設定によりカウンタ4のアップクロック入力に接続される様制御されているため、カウンタ4は、保持しているカウント値に+1したカウント値を送出し、列アドレスがカウントアップされる。この様にして、次々に画像データがメモリ1の列方向に格納されていく。

【0029】この様子を示したものが図2である。図2では、列アドレス、行アドレスは、FFFh番地まである。モデルケースとしてA4判ファイン画質の画像データを使用したとすると列方向は、1728画素となり、列アドレスに換算すると6C0Hになる。また、丸で囲んだ数字は入力される画素の順番を示している。

【0030】画像書込み時は、列方向にアドレスがアップする方向に画像データが格納されていく。1728画素格納したところで比較器6は、1画素ラインの一致を検出したら一致信号を出す。これは、カウンタ5へはカウンタ用のクロック信号として、カウンタ4へは開始アドレスの再設定信号として使用される。これにより次に格納すべき1729番目の画素は、1000h番地に格納される。これ等を繰返すことにより原稿の1ページ分がメモリ1に格納されることになる。

【0031】次に読取りにおいて、先に格納した画像データを90度反時計方向に回転したデータを得ようとする場合、主制御部3は、回転信号（90度回転）を出しアクセスタイミング信号がカウンタ5に入力される様に

選択器10、11を制御する。また、カウンタ5をダウンカウンタとするようにスイッチ9を制御し、カウンタの初期値としてA4判の長手方向の画素数である「948h」を設定する。カウンタ4はアップカウンタのままとする。

【0032】この状態で読出しを行うと、図2においてメモリ1の948000h番地から順番に列アドレスの小さい方向に連続で読出しが行われる。行アドレスが000番地になると比較器7が一致信号を出し、カウンタ5には再度948hが設定され、かつ、カウンタ4はカウントアップされる。この様にして、簡易的に90度回転が実現できる。

【0033】この構成においては、スイッチ8、9、選択器10、11の選択を制御することにより90度回転だけでなく画像の裏表反転や180度回転も可能となる。

【0034】図1において、アドレス生成部2から出力される上位と下位のアドレスの幅を入力される画像データのサイズに合せて変えることにより、メモリ1内の行と列の最大値（先の実施例ではいずれもFFFh番地であった）を変えることができメモリを有効に使用することもできる。

【0035】

【発明の効果】叙上の如く、本発明によれば、縦と横との画素数が異なる画像データであっても、連続して読出すことができ、また、90度、180度、270度の各回転も容易に制御できるという効果がある。

【図面の簡単な説明】

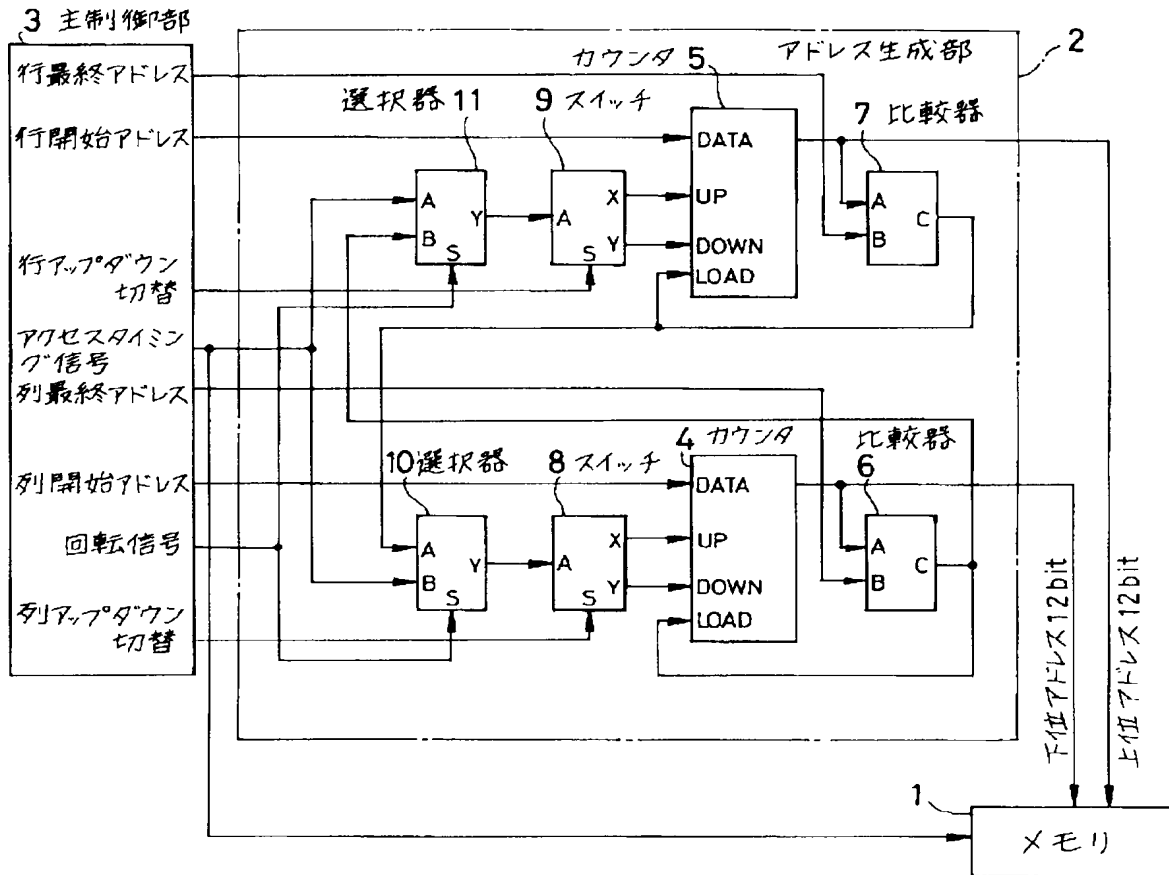
【図1】本発明の実施例の回路ブロック図である。

【図2】本発明の実施例の動作を説明するための図である。

【符号の説明】

- 1 メモリ
- 2 アドレス生成部
- 3 主制御部
- 4, 5 カウンタ
- 6, 7 比較器
- 8, 9 スイッチ
- 10, 11 選択器

【図1】



【図2】

